

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2001年6月21日 (21.06.2001)

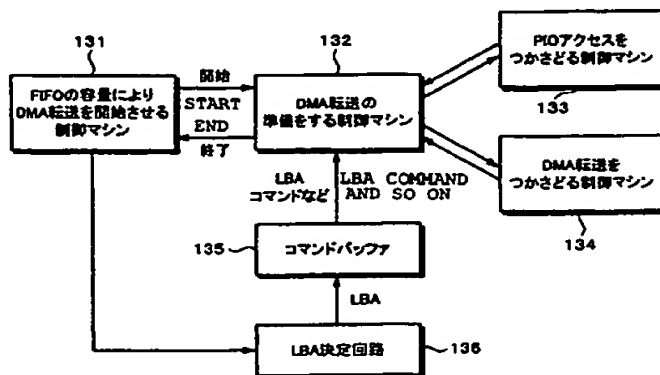
PCT

(10) 国際公開番号  
WO 01/44957 A1

- (51) 国際特許分類: G06F 13/28, 13/38, H04N 5/91 (74) 代理人: 杉浦正知(SUGIURA, Masatomo); 〒171-0022 東京都豊島区南池袋2丁目49番7号 池袋パークビル7階 Tokyo (JP).
- (21) 国際出願番号: PCT/JP00/08892
- (22) 国際出願日: 2000年12月15日 (15.12.2000) (81) 指定国 (国内): CN, JP, KR, US.
- (25) 国際出願の言語: 日本語 (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願平 11/358634  
1999年12月17日 (17.12.1999) JP
- (71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 森永剛男 (MORI-NAGA, Takeo) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP).
- 添付公開書類:  
— 国際調査報告書  
— 補正書
- 2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: DEVICE AND METHOD FOR PROCESSING INFORMATION AND RECORDED MEDIUM

(54) 発明の名称: 情報処理装置および方法、並びに記録媒体



(57) Abstract: Triggered by an amount of data stored in a FIFO way, a control machine for starting DMA transfer according to the capacity of the FIFO instructs a control machine for preparing DMA transfer to start preparation of a command to carry out DMA transfer. The control machine for preparing DMA transfer issues a prepared command to a control machine for controlling DMA data transfer and the processing is started according to the command. The load of the DMA transfer on a host CPU is lightened.

- 131...CONTROL MACHINE FOR STARTING DMA TRANSFER ACCORDING TO CAPACITY OF FIFO  
132...CONTROL MACHINE FOR PREPARING DMA TRANSFER  
133...CONTROL MACHINE FOR CONTROLLING PIO ACCESS  
134...CONTROL MACHINE FOR CONTROLLING DMA TRANSFER  
135...COMMAND BUFFER  
136...LBA DETERMINATION CIRCUIT

WO 01/44957 A1



---

(57) 要約:

F I F Oに記憶されているデータ量をトリガーとし、F I F Oの容量によりDMA転送を開始させる制御マシンは、DMA転送の準備をする制御マシンに、DMA転送のためのコマンドなどの準備を開始させる。DMA転送の準備をする制御マシンは、DMAデータの転送をつかさどる制御マシンに、準備したコマンドを発行し、そのコマンドに従った処理が開始される。DMA転送の際に、ホストC P Uの負担が軽減される。

## 明細書

情報処理装置および方法、並びに記録媒体

### 技術分野

この発明は情報処理装置および方法、並びに記録媒体に関し、特に  
5 、DMA転送を行う際に、ホストCPUの負担を軽減させるのに適した情報処理装置および方法、並びに記録媒体に関する。

### 背景技術

近年、デジタル放送が本格的に開始され、各種のデジタル放送受信装置が商品化されている。それらの装置の中には、受信したデジタル  
10 放送番組を記録するためのハードディスクなどの蓄積デバイスを内蔵したものがある。第1図は、従来技術による、デジタル放送を受信するデジタル放送受信装置に、蓄積デバイスとしてのハードディスクドライブ15を内蔵させたものの構成例を示している。

このデジタル放送受信装置は、図示せぬ放送局からのデジタル放送  
15 番組としてのトランスポートストリームを受信し、そのトランスポートストリームとしての画像や音声を表示等することができる他、そのトランスポートストリームを記録しておき、後で、その記録したトランスポートストリームを再生することもできるようになっている。

即ち、アンテナ11では、デジタル放送波が受信され、その受信信号は、チューナ12に出力される。チューナ12は、アンテナ11からの受信信号の復調等を行い、トランスポートストリームを得て、デスクランブラ13に供給する。デスクランブラ13は、CPU1の制御の下、チューナ12からのトランスポートストリームにかけられているスクランブルを、CPU1から供給される復号キーを用いて解き  
25 、ハードディスク制御部14に出力する。

デスクランブラ13が出力するトランスポートストリーム（以下、

適宜、受信トランスポートストリームという)は、ハードディスク制御部14のPID(Packet Identification)パーサ21およびスイッチ31に供給されるようになっている。また、スイッチ31には、受信トランスポートストリームの他、ハードディスクドライブ15から再生されるトランスポートストリームもトランスミッタ26を介して供給されるようになっている。

受信トランスポートストリームを再生する場合には、スイッチ31は、そこに入力される2つのトランスポートストリーム(受信トランスポートストリームと、トランスミッタ26から供給されるトランスポートストリーム)のうちの、受信トランスポートストリームを選択し、出力トランスポートストリームとして、MVリンクIC(MVLink-IC(MPEG(Moving Picture Experts Group) Link Integrated Circuit))16に出力する。

MVリンクIC16は、出力トランスポートストリームに対して、IEEE(Institute of Electrical and Electronics Engineers)1394シリアルバスのレイヤ構造におけるリンク層の処理等を施し、ファイIC(PHY-IC)17に出力する。あるいは、MVリンクIC16は、出力トランスポートストリームを、DEMUX(デマルチプレクサ)18に出力する。

ここで、ファイIC17は、IEEE1394シリアルバスのレイヤ構造におけるリンク層の処理を行うようになっており、MVリンクIC16から、出力トランスポートストリームを受信した場合には、その出力トランスポートストリームを、IEEE1394シリアルバスを介して、図示せぬIEEE1394機器に、アイソクロナス(Isosynchronous)転送する。

DEMUX18は、図示せぬマイクロコンピュータやメモリ等を有

し、MVリンクIC16からの出力トランスポートストリームを構成するトランスポートパケット（以下、適宜、TSパケットという）から、セクションのデータ（PAT (Program Association Table) や、PMT (Program Map Table)、トランスポートストリームのスクランブルをデスクランブルするための復号キー、その他の制御のために用いられる制御データ）が配置されたTSパケットを分離し、さらに、その内容を解析して、必要な制御データを、CPU1に出力する。

ここで、CPU1は、以上のようにして、DEMUX18から供給されるセクションのデータのうちの復号キーを、デスクランブラ13に出力し、同じくDEMUX18から供給されるその他のセクションのデータに基づいて、デスクランブラ13を制御する。

DEMUX18は、出力トランスポートストリームから、制御データ（セクションのデータ）が配置されたTSパケットを分離する他、ユーザが図示せぬリモートコマンド等を実行することによって選択した番組のビデオデータおよびオーディオデータ（以下、適宜、両方含めてAVデータという）が配置されたパケットも分離して、AVデコーダ19に出力する。AVデコーダ19は、DEMUX18からのTSパケットを、MPEG2デコードし、その結果得られるAVデータを、図示せぬモニタに出力する。これにより、モニタでは、デジタル衛星放送番組としての画像および音声（表示）される。

一方、受信トランスポートストリームを記録する場合には、スイッチ31は、やはり、そこに入力される2つのトランスポートストリーム（受信トランスポートストリームと、トランスミッタ26から供給されるトランスポートストリーム）のうちの、受信トランスポートストリームを選択し、出力トランスポートストリームとして、MVリンクIC16を経由して、DEMUX18に出力する。

DEMUX 18は、上述したように、出力トランスポートストリームから、制御データが配置されたTSパケットを分離し、そのTSパケットに配置された、必要な制御データを分離して、CPU 1に出力し、CPU 1は、この制御データに基づいて、デスクランブラ 13を  
5 制御する。これにより、デスクランブラ 13では、いま記録の対象となっているTSパケットを含むトランスポートストリームのデスクランブルが行われる。

受信トランスポートストリームは、上述したように、PIDパーサ 21にも供給され、PIDパーサ 21は、そこに供給される受信トランスポートストリームを構成するTSパケットのPIDを参照し、記録の対象となっている番組についてのTSパケットだけをレシーバ 22に供給する（残りのTSパケットは廃棄される）。レシーバ 22は、  
10 サイクルタイマ 27が出力するクロックに基づくタイムスタンプを、PIDパーサ 21からのTSパケットに付加し、入力FIFO (First In First Out) 23に供給する。即ち、サイクルタイマ 27は、所定周波数のクロックを、レシーバ 22およびトランスミッタ 26に出力しており、レシーバ 22は、サイクルタイマ 27が出力するクロックに同期したタイムスタンプを、PIDパーサ 21からのTSパケットに付加して、入力FIFO 23に出力する。入力FIFO 23は、  
15 レシーバ 22からのTSパケットを順次記憶し、コントローラ 28の制御にしたがって、記憶したTSパケットを、その記憶した順に、ハードディスク IF (Interface) 24に出力する。

ここで、コントローラ 28は、マイクロコンピュータ（マイコン）を内蔵し、入力FIFO 23または出力FIFO 25における記憶の  
25 状態(status)を監視し、それぞれにおけるデータの読み書きを制御するようになっている。また、コントローラ 28は、ハードディスク I

F 2 4を制御するようになっている。

ハードディスク I F 2 4は、入力 F I F O 2 3から T S パケットを受信すると、その T S パケットを、ハードディスクドライブ 1 5に出力する。ハードディスクドライブ 1 5では、ハードディスクコントローラ 4 1において、ハードディスク I F 2 4からの T S パケットが受信され、ハードディスク 4 2に記録される。

次に、以上のようにして、ハードディスク 4 2に記録された T S パケットを再生する場合、ハードディスクコントローラ 4 1において、ハードディスク 4 2に記録された T S パケットのシーケンスとしての  
10 トランスポートストリーム（以下、適宜、再生トランスポートストリームという）が読み出され、ハードディスク制御部 1 4に出力される。

ハードディスク制御部 1 4においては、ハードディスク I F 2 4において、再生トランスポートストリームが受信され、出力 F I F O 2  
15 5に供給される。出力 F I F O 2 5は、ハードディスク I F 2 4からの再生トランスポートストリームを構成する T S パケットを順次記憶し、コントローラ 2 8の制御にしたがって、記憶した T S パケットを、その記憶した順に、トランスミッタ 2 6に出力する。

トランスミッタ 2 6は、サイクルタイマ 2 7から供給されるクロック  
20 クに同期して、出力 F I F O 2 5からの T S パケットのシーケンスとしての再生トランスポートストリームを、スイッチ 3 1に出力する。即ち、P I D パーサ 2 1が出力する T S パケットのシーケンスであるトランスポートストリームを、ハードディスクドライブ 1 5に記録する場合においては、そのトランスポートストリームを構成する T S  
25 パケットどうしの時間間隔が損なわれることがある。そこで、トランスミッタ 2 6は、レシーバ 2 2が T S パケットに付加したタイムスタン

プを参照し、TS パケットどうしの時間間隔を元の状態に戻すようなタイミングで、TS パケットを、スイッチ 31 に出力するようになっている。

ハードディスク 42 に記録された TS パケットを再生する場合において、スイッチ 31 は、トランスミッタ 26 が出力する再生トランスポートストリームを選択し、出力トランスポートストリームとして、MV リンク IC 16 に出力する。以下、この出力トランスポートストリームとしての再生トランスポートストリームは、受信トランスポートストリームを処理する場合と同様にして、ファイ IC 17 を介して、IEEE 1394 シリアルバス上をアイソクロナス転送され、あるいは、DEMUX 18 およびデコーダ 19 を介して、モニタに出力される。

なお、CPU 1 は、バス 3 に接続されており、同じくバス 3 に接続されたシステムメモリ 2 に記憶されたプログラムを読み出して実行することで、デスクランブラ 13 の制御その他の各種の処理を行うようになっている。システムメモリ 2 は、CPU 1 に各種の処理を行わせるためのプログラムを記憶している。

また、ハードディスク制御部 14 を構成するホスト IF 29 は、バス 3 を介して、CPU 1 と通信するためのインタフェースとして機能するようになっている。このホスト IF 29 と、上述のハードディスク IF 24 との間に設けられた入出力バッファ 30 は、それらの間でやりとりされるデータを、一時記憶するようになっている。

以上から、CPU 1 は、バス 3、ホスト IF 29、入出力バッファ 30、およびハードディスク IF 24 を介して、ハードディスクドライブ 15 にアクセスすることができるようになっており、これにより、CPU 1 は、ハードディスクドライブ 15 に、ファイルとしてのデ



ータを記録し、また、ハードディスクドライブ 15 に記録したファイルとしてのデータを読み出すことができるようになっている。

ところで、上述のハードディスクドライブ 15 におけるデータの記録の最小単位は、セクタと称される。1 セクタは、例えば 5 1 2 バイトからなる。さらに、このハードディスクドライブ 15 は、データにアクセスする際に、ハードディスクドライブ 15 のアクセスする場所を最小記録単位であるセクタアドレスで指定するように、インターフェイスや使用方法が仕様で統一化されている。ハードディスクドライブ 15 は、データにアクセスされる際に、セクタアドレスで指定されなければ、コマンドとして受け付けられないような構成となっている。

この最小単位のアドレスが L B A (Logical Block Address) と称される、論理的な通し番号で表される。ハードディスクドライブ 15 にアクセスするコマンドとしては、DMA コントローラによりデータ転送が制御される DMA (Direct Memory Access) と、C P U によりデータ転送が制御される P I O (Programmed I/O) とがある。何方の場合でも、アドレス指定には L B A を用いる必要がある。

上述した従来のデジタル映像放送受信装置においては、トランスポートストリームのような A V (Audio Visual) ストリームを、DMA によって内蔵しているハードディスクに記録、または、ハードディスクから読み出し再生する場合、ホスト C P U (Central Processing Unit) が、ハードディスクへのコマンドの発行、L B A のブロック転送毎の設定、転送開始タイミングの設定などを行う必要がある。そのような処理は、ホスト C P U にとって負担となり、パフォーマンスが出せないという問題点があった。

そのため、例えば、A V ストリームの記録処理を行っている際、そのストリームを連続して記録することができない可能性があるという

問題点があった。

#### 発明の開示

この発明は、このような状況に鑑みてなされたものであり、DMA  
転送用のレジスタ、LBAを自動設定できる機能を備えることにより  
5、従来ホストCPUで処理していたコマンドの発行、LBAの設定及  
び転送開始タイミングの設定をDMA側で行い、上述のような、ホス  
トCPUにかかる負担を軽減することを目的とする。

この発明は、上述した課題を解決するために、所定のフォーマット  
の packets で構成されるストリームを受信する受信手段と、受信手段  
10により受信されたストリームを構成する packets から、記録装置に記  
録する packets を抽出する抽出手段と、抽出手段により抽出されたパ  
ckets を記憶する記憶手段と、DMA転送を指示するコマンドを生成  
するためのコマンドバッファと、コマンドバッファにおいて生成され  
たコマンドに従って、packets を所定のデータ量のブロックとして、  
15記録装置に対してDMA転送する転送手段とを有することを特徴とす  
る情報処理装置である。

また、この発明は、所定のフォーマットの packets で構成されるス  
トリームを受信する受信手段と、受信手段により受信されたストリー  
ムを構成する packets から、記録装置に記録する packets を抽出する  
20抽出手段と、抽出手段により抽出された packets を記憶する記憶手段  
と、DMA転送用のアドレス情報を設定するためのコマンドバッファ  
と、設定されたアドレス情報を記憶手段から読み出された packets の  
所定データ量（ブロック）ごとに付加する付加手段とを有することを  
特徴とする情報処理装置である。

25 また、この発明は、ハードディスクドライブを内蔵するデジタル放  
送受信装置において、所定のフォーマットの packets で構成されるス

トリームを受信する受信手段と、受信手段により受信されたストリームを構成するパケットから、ハードディスクドライブに記録するパケットを抽出する抽出手段と、抽出手段により抽出されたパケットを記憶する記憶手段と、DMA転送を指示するコマンドを生成するための  
5 コマンドバッファと、コマンドバッファにおいて生成されたコマンドに従って、パケットを所定のデータ量のブロックとして、ハードディスクドライブに対してDMA転送する転送手段とを有することを特徴とするデジタル放送受信装置である。

また、この発明は、ハードディスクドライブを内蔵するデジタル放送受信装置において、所定のフォーマットのパケットで構成されるストリームを受信する受信手段と、受信手段により受信されたストリームを構成するパケットから、ハードディスクドライブに記録するパケットを抽出する抽出手段と、抽出手段により抽出されたパケットを記憶する記憶手段と、DMA転送用のアドレス情報を設定するためのコマンドバッファと、設定されたアドレス情報を記憶手段から読み出されたパケットの所定データ量（ブロック）ごとに付加する付加手段と  
10 を有することを特徴とするデジタル放送受信装置である。

また、この発明は、所定のフォーマットのパケットで構成されるストリームを受信する受信ステップと、受信ステップにより受信されたストリームを構成するパケットから、記録装置に記録するパケットを抽出する抽出ステップと、抽出手段により抽出されたパケットを記憶する記憶ステップと、コマンドバッファによってDMA転送を指示するコマンドを生成する生成ステップと、生成ステップにおいて生成されたコマンドに従って、パケットを所定のデータ量のブロックとして  
20 、記録装置に対してDMA転送する転送ステップとを有することを特徴とする情報処理方法である。

- また、この発明は、所定のフォーマットの packets で構成されるストリームを受信する受信ステップと、受信ステップにより受信されたストリームを構成する packets から、記録装置に記録する packets を抽出する抽出ステップと、抽出ステップにより抽出された packets を
- 5 記憶する記憶ステップと、コマンドバッファによってDMA転送用のアドレス情報を設定する設定ステップと、設定されたアドレス情報を記憶手段から読み出された packets の所定データ量（ブロック）ごとに付加する付加ステップとを有することを特徴とする情報処理方法である。
- 10 また、この発明は、所定のフォーマットの packets で構成されるストリームを受信する受信ステップと、受信ステップにより受信されたストリームを構成する packets から、記録装置に記録する packets を抽出する抽出ステップと、抽出手段により抽出された packets を記憶する記憶ステップと、コマンドバッファによってDMA転送を指示する
- 15 コマンドを生成する生成ステップと、生成ステップにおいて生成されたコマンドに従って、packets を所定のデータ量のブロックとして、記録装置に対してDMA転送する転送ステップとを含むことを特徴とするコンピュータが読み取り可能なプログラムが記録されている記録媒体である。
- 20 また、この発明は、所定のフォーマットの packets で構成されるストリームを受信する受信ステップと、受信ステップにより受信されたストリームを構成する packets から、記録装置に記録する packets を抽出する抽出ステップと、抽出ステップにより抽出された packets を記憶する記憶ステップと、コマンドバッファによってDMA転送用の
- 25 アドレス情報を設定する設定ステップと、設定されたアドレス情報を記憶手段から読み出された packets の所定データ量（ブロック）ごと

に付加する付加ステップとを含むことを特徴とするコンピュータが読み取り可能なプログラムが記録されている記録媒体である。

5 上述したように、この発明は、所定のフォーマットの packets で構成される stream を受信し、受信された stream を構成する packets から抽出された、記録装置に記録する packets が記憶され、コマンドバッファにおいて生成された DMA 転送を指示するコマンドに従って、packets を所定のデータ量のブロックとして、記録装置に対して DMA 転送するようにしているため、ホスト CPU にかかる負担が軽減される。

10 また、この発明は、所定のフォーマットの packets で構成される stream を受信し、受信された stream を構成する packets から抽出された、記録装置に記録する packets を記憶手段に記憶し、コマンドバッファにより設定された DMA 転送用のアドレス情報を記憶手段から読み出された packets の所定データ量（ブロック）ごとに付加するようにしているため、ホスト CPU にかかる負担が軽減される。

15

#### 図面の簡単な説明

第 1 図は、ハードディスクドライブを内蔵させたデジタル衛星放送受信装置の構成例を示すブロック図、第 2 図は、本発明を適用したデジタル衛星放送受信装置の一実施の形態の構成例を示すブロック図、  
20 第 3 図は、第 2 図のハードディスク制御部の構成例を示すブロック図、第 4 図は、第 3 図の DMA コントローラの構成を示すブロック図、第 5 図は、第 4 図のコマンドセルの構成を示すブロック図、第 6 図は、第 5 図の LBA 決定部の構成を示すブロック図、第 7 図は、DMA コントローラの機能ブロック図、第 8 図は、DMA コントローラの手続き動作を説明するフローチャート、第 9 図は、DMA コントローラの読み出し動作を説明するフローチャート、第 10 図は、読み出し

25

のタイミングについて説明する図、第 1 1 図は、DMA コントローラの DMA 転送の際に行われる動作を説明するフローチャート、第 1 2 図は、レジスタについて説明する図、第 1 3 図は、レジスタについて説明する図、第 1 4 図は、媒体を説明する図である。

5 発明を実施するための最良の形態

第 2 図は、本発明が適用されたデジタル衛星放送受信装置の一実施形態の構成を示している。なお、図中、上述した第 1 図と対応する部分については、同一の符号を付してあり、以下では、その説明は、適宜省略する。即ち、第 2 図のデジタル衛星放送受信装置は、第 1 図に示されるハードディスク制御部 1 4 に替えて、ハードディスク制御部 5 0 が設けられている他は、第 1 図のデジタル衛星放送受信装置と同様に構成されている。

第 3 図は、第 2 図のハードディスク制御部 5 0 の構成例を示している。なお、図中、第 1 図のハードディスク制御部 1 4 における場合と対応する部分については、同一の符号を付してあり、以下では、その説明は、適宜省略する。

デスクランブラ 1 3 からの受信トランスポートストリームは、スイッチ 3 1 および入力 PID パーサ 5 1 に供給されるようになっている。入力 PID パーサ 5 1 は、デスクランブラ 1 3 からの受信トランスポートストリームを構成する TS パケットから、記録のみをすべきである TS パケット（以下、適宜、記録用パケットという）、記録すると共に、制御に用いる TS パケット（以下、適宜、記録／制御用パケットという）、制御にのみ用いる TS パケット（以下、適宜、制御用パケットという）、および廃棄すべき TS パケット（以下、適宜、廃棄用パケットという）を抽出し、記録用パケットおよび記録／制御用パケットをタイムスタンプ付加部 5 6 に出力すると共に、制御用パケ

ットをMUX 5 3に出力するようになっている。さらに、入力PIDパーサ5 1は、廃棄用 packets を廃棄するようになっている。

出力PIDパーサ5 2は、タイムスタンプ検出部5 4が出力する、ハードディスクドライブ1 5から再生された再生トランスポートストリームを受信し、その再生トランスポートストリームを構成するTS packets から、再生すべきTS packets (以下、適宜、再生用 packets という) と、廃棄すべきTS packets (廃棄用 packets) とを抽出するようになっている。さらに、出力PIDパーサ5 2は、再生用TS packets を、MUX 5 3に出力するとともに、廃棄用 packets を廃棄するようになっている。

また、出力PIDパーサ5 2は、MUX 5 3と通信することにより、入力PIDパーサ5 1がMUX 5 3に出力するTS packets とPIDが等しい再生用TS packets を検出し、その再生用TS packets のPIDを、異なるPIDに変更するようにもなっている。MUX 5 3は、入力PIDパーサ5 1が出力するTS packets と、出力PIDパーサ5 2が出力するTS packets とを多重化し、スイッチ3 1に出力するようになっている。

タイムスタンプ付加部5 6および入力タイマー5 7は、第1図のサイクルタイマ2 7およびレシーバ2 2と同様の処理、即ち、タイムスタンプ付加部5 6は、入力タイマー5 7が出力するクロックに基づくタイムスタンプを入力されたTS packets に付加する。タイムスタンプ付加部5 6によりタイムスタンプが付加されたTS packets は、アービター5 8に入力される。アービター5 8に入力されたTS packets は、SDRAMコントローラ5 9の制御の下、SDRAM 6 0の入力FIFO 6 1に記憶される。SDRAMコントローラ5 9は、FIFOコントローラ6 3の指示により、SDRAM 6 0の入力FIFO

61と出力FIFO62のパケットの書き込み、および読み出しを制御する。

入力FIFO61に記憶されたTSパケットは、SDRAMコントローラ59の制御の下で読み出され、アービター58を介してインデックス付加部64に出力される。インデックス付加部64は、ハードディスクのアドレスを示すLBAとその他の制御のために有効な情報をインデックスとして付加し、セクタ67に出力する。セクタ67には、バスインタフェース29を介して入力されたデータや、DMAコントローラ68からのコマンドなども入力される。セクタ67は、入力されたTSパケット、データ、コマンドなどを選択し、所定の装置に出力する。例えば、インデックス付加部64から出力され、セクタ67に入力されたTSパケットは、ハードディスクIF24に出力され、さらに、ハードディスクドライブ15に出力され、記録される。

15      このようにしてハードディスクドライブ15に記録されTSパケットを再生する場合、ハードディスクコントローラ41において、ハードディスク42に記録されたTSパケットのシーケンスとしての再生トランスポートストリームが読み出され、ハードディスク制御部50に出力される。ハードディスク制御部50に、ハードディスクIF24を介して入力された再生トランスポートストリームは、セクタ67を介してインデックス検出部66に出力される。

25      インデックス検出部66は、入力された再生トランスポートストリームから、インデックス付加部64において付加されたインデックスを検出する。検出されたインデックスは、DMAコントローラ68内のレジスタに記憶され、DMAコントローラ68は、その記憶されたインデックスをもとに、DMAコントローラ68を制御することも可



能である。

インデックス検出部 66 によりインデックスが検出され、インデックスが取り除かれた再生トランスポートストリームは、アービター 58、SDRAM コントローラ 59 を介して、SDRAM 60 の出力 F I F O 62 に、一旦記憶される。出力 F I F O 62 に記憶された再生トランスポートストリームは、SDRAM コントローラ 59 の制御の下、アービター 58 に読み出され、さらに、タイムスタンプ検出部 54 に出力される。タイムスタンプ検出部 54 に入力された再生トランスポートストリームは、タイムスタンプが検出され、そのタイムスタンプに従って、出力 P I D パーサ 52 に出力される。さらに、上述したような処理が、M U X 53 およびスイッチ 31 により行われることにより、M V L i n k - I C 16 に出力される。

なお、C R C 69 は、ハードディスク 15 とやりとりされるデータについて、C R C (Cyclic Redundancy Check) を用いてデータのチェックを行う。

第 4 図は、DMA コントローラ 68 の内部構成を示す図である。バスインタフェース 29 とは、DMA コントローラ 68 内の内部バス 81 が接続されている。内部バス 81 には、コマンドセル 82、コマンドセル 82 を制御するコマンドアービター 83、ホスト C P U である C P U 1 を介してデータを授受する際の動作を制御する P I O (Programmed I/O) ステートマシーン 84、および DMA 転送する際のデータをバッファリングするホストデータ DMA バッファ 85 が接続されている。

DMA ステートマシーン 86 は、コマンドセル 82 と連携し、DMA 転送を実行するためのレジスタやコマンドの準備を行う。I D E (Intelligent Drive Electronics) ステートマシーン 87 は、I D E ド

ライブにより接続されるハードディスクドライブ 15 の制御を行うものである。P I O ステートマシーン 8 4、D M A ステートマシーン 8 6、および I D E ステートマシーン 8 7 は、互いにコントロール線が張られており、それぞれのステートマシーンが、状況に応じた制御を  
5 行えるようになっている。

P I O ステートマシーン 8 4 と、D M A ステートマシーン 8 6 から出力された信号は、セクタ 8 8 に供給され、どちらか一方の信号が、論理積回路 8 9 に供給される。論理積回路 8 9 には、I D E ステートマシーン 8 7 からの信号も供給され、それらの供給された信号から  
10 論理積がとられ、その結果が、内部バス 9 1 に出力される。内部バス 9 1 には、I D E ステートマシーン 8 7 からのコントロール線も張られており、I D E のコントロール信号も供給される。

さらに、内部バス 9 1 には、セクタ 9 0 からの信号も供給される。セクタ 9 0 は、P I O ステートマシーン 8 4 からのデータ、D M  
15 A ステートマシーン 8 6 からのデータ、または、F I F O コントローラ 6 3 からのデータの内、1 つを選択し、内部バス 9 1 に出力する。

第 5 図は、コマンドセル 8 2 の内部構成を示す図である。内部バス 1 0 1 には、ホストコマンドバッファ 1 0 2 とホストデータコマンドバッファ 1 0 3 が接続されている。詳細は後述するが、ホストコマン  
20 ドバッファ 1 0 2 と L B A 決定部 1 0 4 から出力されるデータから、後段のネクストコマンドバッファ 1 0 5 に記憶されるデータが生成される。ネクストコマンドバッファ 1 0 5 に記憶されたデータは、新たなデータが入力されると、記憶されていたデータをカレントコマンドバッファ 1 0 6 に出力し、記憶させる。同様に、カレントコマンドバ  
25 ッファ 1 0 6 に新たなデータ入力されると、記憶されていたデータは、プレビウスコマンドバッファ 1 0 7 に出力され、記憶される。

コマンドセル 82 は、P I O アクセスにて D M A 転送を初期化するためのホストコマンドバッファ 102 をもち、カレントの D M A 転送が終了する毎に、コマンドバッファの内容を移行する F I F O 的な役割を持っている。なお、各コマンドバッファは、書き込み用と読み出し用、それぞれ用意する必要があるが、第 5 図においては、1 つしか書き表していない。この F I F O 的な構成のコマンドバッファにより、ネクスト、カレント、プレビアスの L B A をインデックスとして 1 クラスタ毎の付加が可能となる。

カレント L B A は、その時点で処理されているブロックが記録される先頭の L B A を示し、プレビアスの L B A は、ブロック N の直前に位置するブロックの先頭の L B A を示し、ネクスト L B A は、ブロック N の直後に位置するブロックの先頭の L B A を示す。

ネクストコマンドバッファ 105、カレントコマンドバッファ 106、および、プレビアスコマンドバッファ 107 に記憶されたデータは、それぞれ、セレクト 108 に供給される。セレクト 108 には、ホストデータコマンドバッファ 103 からのデータも供給され、それらの供給されたデータの内から、1 つを選択し、D M A ステートマシーン 86 へ出力する。この選択されたデータはハードディスクの D M A 転送を起動するために必要な L B A、セクターサイズなどで構成されており、これらの情報を D M A ステートマシーン 86、I D E ステートマシーン 87 に供給することによりハードディスクの制御が可能となる。

第 6 図は、L B A 決定部 104 の内部構成を示す図である。L B A 決定部 104 は、カウントアップ部 121、L B A 比較用レジスタ 122、および比較部 123 から構成されている。

ここで、上述したような構成をもつ D M A コントローラ 68 を、機

能的なブロックで表すと、第7図のようになる。F I F Oの容量によりDMA転送を開始させる制御マシン131は、主に、F I F Oコントローラ63とコマンドアービター83から構成される。DMA転送の準備をする制御マシン132は、主に、コマンドセル82やDMA  
5 ステートマシーン86から構成される。P I Oアクセスをつかさどる制御マシン133は、P I Oステートマシーン84である。DMA転送をつかさどる制御マシン134は、主に、I D Eステートマシーン87から構成され、コマンドバッファ135は、主に、コマンドセル82から構成される。L B A決定回路136は、L B A決定部104  
10 である。

次に、第8図のフローチャートを参照して、F I F Oの容量によりDMA転送を開始させる制御マシン131の動作について説明する。DMA転送は、128kバイト単位で行われるとし、この128kバイト単位を1クラスタと定義する。勿論、1クラスタを128kバイト  
15 以下で定義しても良い。

ハードディスクドライブ15に受信したトランスポートストリームの書き込みを行う場合、ステップS1において、コマンドアービター83は、F I F Oコントローラ63を介して、入力F I F O61の所定値以上の容量に、トランスポートストリームが記憶されているか否  
20 かを判断する。所定値とは、例えば、入力F I F O61の80%の容量であり、ステップS1においては、80%以上の容量に、既にトランスポートストリームのデータが書き込まれた状態であるか否かが判断される。

ステップS1において、入力F I F O61の、所定容量以上に、トランスポートストリームが記憶されていると判断された場合、ステップ  
25 プS2に進む。ステップS2において、DMA転送開始の指示が、D

MA転送の準備をする制御マシン132に対して出される。また、LBA決定回路136に対して、スタートLBAが供給される。その結果、ステップS3において、DMA転送の準備をする制御マシン132が、ストリームのリード、ライト及びホストデータアクセスの3つの要求のうち、どの要求を許可するか判断を行う。

ステップS4において、ストリームのライトが許可されると、ステップS5に進み、終了ステータスが発行されたか否かが判断される。終了ステータスは、DMA転送の準備をする制御マシン132により発行される。終了ステータスが発行されたと判断されるまで、ステップS5の処理は繰り返され、終了ステータスが発行されたと判断されると、ステップS6に進み、LBAの更新の指示がLBA決定部104に出される。

LBAの更新は、LBA決定部104（LBA決定回路136）により行われる。カウントアップ部121は、スタートLBAが入力されることにより、カウントアップを開始する。カウントアップ部121は、1クラスタ分の転送が終了するたびに、カウントアップし、1クラスタ分のLBAを設定する。LBA比較用レジスタ122は、比較するLBA、その次のLBAとフラグをセットし、フラグが有効である場合に、比較するLBAを次のLBAに置き換えることにより、自動的にセットされる値を変更することが可能であるようにされている。このような機能を設け、トランスポートストリームの記憶領域の最大LBAを、このレジスタにセットしておくことにより、自動的に、記憶容量の開始LBAに戻すことが可能となる。

このようにして更新されるLBAは、DMAステートマシーン86のみならずインデックス付加部64にも供給され、処理対象となっているトランスポートストリームがハードディスクドライブ15に記憶

される際に付加される。第 8 図に示したフローチャートの処理は、受信されたトランスポートストリームがハードディスクドライブ 15 に記憶されるときに繰り返し行われる。

第 9 図は、ハードディスクドライブ 15 に記憶されているトランスポートストリームを読み出す際の処理について説明するフローチャートである。基本的に、第 9 図は、第 8 図におけるステップ S 4 のストリームのライト許可がストリームのリード許可の処理であるステップ S 4' に変更されている以外は、第 8 図のフローチャートを参照して説明した書き込みの際の処理と同様であるので、その説明は省略する。ただし、ステップ S 1 の処理は、出力 F I F O 6 2 に記憶されているトランスポートストリームのデータ量が、例えば、所定値として 20 % 以下になったか否かが判断される。所定値以下になったと判断された場合、ステップ S 2 以降の処理に移る。

ここで、ハードディスクドライブ 15 から読み出されるトランスポートストリームのデータについて、第 10 図を参照して説明する。所定のデータに対して、次に読み出す L B A を、既に読み出されたブロックのインデックス情報内にあるネクスト L B A の値から読み込みをセットする方法も可能である。また、L B A の自動更新によりセットすることも可能であり、そのような方法の場合、割り込みをインデックス情報の読み込み完了時点で C P U 1 に通知することにより、第 10 図に示したタイミングでネクスト L B A のダイナミックな変更が可能となる。

第 10 図において、a はハードディスクドライブ 15 から読み出されたインデックス内の L B A リンクリストが実際に再生ネクスト L B A レジスタ（不図示）にロードされるタイミングである。そのタイミングにて、割り込みを通知することにより、ホストは b にてネクスト

L B A、または、カレント L B A の読み出しを行う。また、ダイナミックに、次に読み出すクラスタの L B A を変更し、飛ばし再生を行いたい場合には、c にて書き込みを行う。d は、出力 F I F O 6 2 からの、容量の半分ほどを記録されたこと示すデータを参照して D M A コントローラ 6 8 がハードディスクドライブ 1 5 に自動的にコマンドを発行するタイミングである。

一方、書き込みまたは読み出し用の D M A コマンドバッファに C P U 1 が L B A を設定し、D M A をコントロールすることも可能である。このような場合、各コマンドセットレジスタに値を設定後、コントロールレジスタの各コマンド E x e c ビットに 1 を設定することによりコマンドが実行される。また、このとき、設定により F I F O フラグのトリガにより、上述したようにハードディスクドライブ 1 5 との D M A 転送を C P U 1 の制御によらずに自動的に行うことも可能である。このようなときは、コントロールレジスタの各 V a l i d ビットが 1 の時に、コマンドバッファの内容に従って、交互に実行される。

再生時に、データが出力 F I F O 6 2 に入力されてから何らかの原因により、1 クラスタのデータの全てが読み出される前に終了してしまった場合、出力 F I F O 6 2 のカレントアドレスポインタを戻し、結果的に廃棄することができる。これにより、エラーが発生した場合でも、C P U 1 を介在することなく A V ストリームの再生正常状態に復帰させることが可能となる。

次に、第 1 1 図のフローチャートを参照して、D M A 転送の準備をする制御マシン 1 3 2 と、D M A 転送の準備をする制御マシン 1 3 2 にコマンドを供給するコマンドバッファ 1 3 5 の動作について説明する。F I F O の容量により D M A 転送を開始させる制御マシン 1 3 1 からの開始の指示により、ステップ S 2 1 において、ステータスが読

み出される。ステップS 2 2において、読み出されたステータスを基に、アクセス可能であるか否かが判断される。アクセス可能であると判断されるまで、ステップS 2 2の処理が繰り返され、アクセス可能であると判断されると、ステップS 2 3に進む。

5     ステップS 2 3において、デバイス／ヘッド・レジスタが書き込まれる。ここで、レジスタについて説明する。第12図Aは、IDEのレジスタの仕様で、レジスタの一覧を示す図である。第12図A内のコントロール・ブロック・レジスタのうち、デバイス・コントローラは、第12図Bに示すようなレジスタである。

10    第12図A内のコマンド・ブロック・レジスタのうち、データは、第12図Cに示すようなレジスタであり、セクタ・ナンバは、第12図Dに示すようなレジスタである。さらに、第12図A内のコマンド・ブロック・レジスタのうち、シリンダ・ローとシリンダ・ハイは、第13図Aに示すようなレジスタであり、デバイス／ヘッドは、第13図Bに示すようなレジスタであり、セクタ・カウンタは、第13図Cに示すようなレジスタであり、代替ステータス、ステータスは、第13図Dに示すようなレジスタである。

15    上述したようなレジスタがあり、そのうち、ステップS 2 3においては、デバイス／ヘッド・レジスタが書き込まれる。ステップS 2 4において、ステータスが読み出され、ステップS 2 5において、読み出したステータスの結果、ビジーな状態であるか否かが判断される。ビジーな状態ではないと判断されるまで、ステップS 2 5の処理が繰り返され、ビジーな状態ではないと判断された場合、ステップS 2 6に進む。

25    ステップS 2 6において、シリンダ・ロー・レジスタの書き込みが行われ、ステップS 2 7において、シリンダ・ハイ・レジスタの書き



込みが行われる。ステップS 28において、セクタ・ナンバ・レジスタの書き込みが行われ、ステップS 29において、セクタ・カウント・レジスタの書き込みが行われる。このようにして、書き込みが順次行われた各レジスタは、ステップS 30において、DMAライト、または、DMAリードのコマンドとして書き込まれる。

DMAライト、またはDMAリードのコマンドを、DMA転送の準備をする制御マシン132は、ステップS 31において、DMA転送をつかさどる制御マシン134に発行し、DMA転送をつかさどる制御マシン134は、受信したコマンドに従って、DMA転送を開始する。ステップS 32において、DMA転送の準備をする制御マシン132は、終了ステータスであるか否かを判断し、終了ステータスであると判断された場合、ステップS 33に進む。

ステップS 33において、DMA転送の準備をする制御マシン132は、終了ステータスを受け、FIFOの容量によりDMA転送を開始させる制御マシン131に対して、DMA転送の終了を知らせるデータを出力する。第11図に示したフローチャートの処理は、DMA転送が開始される毎に、繰り返し行われる。

このように、DMA転送用のコマンドバッファを備え、LBAを更新する機能を備えることにより、ホストCPUの負担を軽減させることが可能となる。また、AVストリームが欠落することなく、録画、再生が可能となる。

上述した一連の処理は、ハードウェアにより実行させることもできるが、ソフトウェアにより実行させることもできる。一連の処理をソフトウェアにより実行させる場合には、そのソフトウェアを構成するプログラムが専用のハードウェアに組み込まれているコンピュータ、または、各種のプログラムをインストールすることで、各種の機能を

実行することが可能な、例えば汎用のパーソナルコンピュータなどに、記録媒体からインストールされる。

この記録媒体は、第14図に示すように、デジタル衛星放送受信装置にドライブ140を設け、そのデジタル衛星放送受信装置とは別に、ユーザにプログラムを提供するために配布される、プログラムが記録されている磁気ディスク151（フロッピディスクを含む）、光ディスク152（CD-ROM (Compact Disk-Read Only Memory)、DVD (Digital Versatile Disk)を含む）、光磁気ディスク153（MD (Mini-Disk)を含む）、若しくは半導体メモリ154などよりなるパッケージメディアにより構成されるだけでなく、コンピュータに予め組み込まれた状態でユーザに提供される、プログラムが記憶されているROMやハードディスク15などでも良い。

なお、本明細書において、媒体により提供されるプログラムを記述するステップは、記載された順序に従って、時系列的に行われる処理は勿論、必ずしも時系列的に処理されなくとも、並列的あるいは個別に実行される処理をも含むものである。

本発明のデジタル放送受信装置によれば、受信されたAVストリームをDMA転送して記録再生する際に、DMA転送用のコマンドバッファを設けて、転送用のコマンドを生成、LBAを自動的に設定し、従来ホストCPUで処理していたコマンドの発行、LBAの設定及び転送開始タイミングの設定をDMA側で行うことにより、ホストCPUにかかる負担を軽減することができる。

## 請求の範囲

1. 所定のフォーマットの packets で構成されるストリームを受信する受信手段と、

前記受信手段により受信された前記ストリームを構成する packets から、記録装置に記録する packets を抽出する抽出手段と、

前記抽出手段により抽出された前記 packets を記憶する記憶手段と、

DMA 転送を指示するコマンドを生成するためのコマンドバッファと、

10 前記コマンドバッファにおいて生成された前記コマンドに従って、前記 packets を所定のデータ量のブロックとして、前記記録装置に対して DMA 転送する転送手段と  
を有することを特徴とする情報処理装置。

2. 前記 DMA 転送を指示するコマンドは、前記記憶手段により記憶  
15 された前記 packets のデータ量が、所定の容量に達した場合に生成されることを特徴とする請求の範囲第 1 項に記載の情報処理装置。

3. 前記記憶手段は入力 FIFO および出力 FIFO から構成されることを特徴とする請求の範囲第 1 項に記載の情報処理装置。

4. 前記 DMA 転送を指示するコマンドは、前記入力 FIFO におい  
20 て記憶された前記 packets のデータ量が、所定の容量以上の場合に生成されることを特徴とする請求の範囲第 3 項に記載の情報処理装置。

5. 前記 DMA 転送を指示するコマンドは、前記出力 FIFO において記憶された前記 packets のデータ量が、所定の容量以下の場合に生成されることを特徴とする請求の範囲第 3 項に記載の情報処理装置。

25 6. 前記情報処理装置は、さらに直前のブロックが記録されている前記記録装置内のアドレス、現在のブロックが記録される前記記録装置

内のアドレス、または、直後のブロックが記録される前記記録装置内のアドレスのうち、少なくとも1つを含むアドレス情報を、前記パケットに付加する付加手段を有することを特徴とする請求の範囲第1項に記載の情報処理装置。

- 5 7. 前記記録装置は、前記情報処理装置に内蔵されたハードディスクドライブであることを特徴とする請求の範囲第1項に記載の情報処理装置。

8. 所定のフォーマットのパケットで構成されるストリームを受信する受信手段と、

- 10 前記受信手段により受信された前記ストリームを構成するパケットから、記録装置に記録するパケットを抽出する抽出手段と、

前記抽出手段により抽出された前記パケットを記憶する記憶手段と

DMA転送用のアドレス情報を設定するためのコマンドバッファと

15 、

前記設定されたアドレス情報を前記記憶手段から読み出されたパケットの所定データ量（ブロック）ごとに付加する付加手段とを有することを特徴とする情報処理装置。

9. 前記付加手段は、直前のブロックが記録されている前記記録装置  
20 内のアドレス、現在のブロックが記録される前記記録装置内のアドレス、または、直後のブロックが記録される前記記録装置内のアドレスのうち、少なくとも1つを含むアドレス情報を、前記ブロックに付加することを特徴とする請求の範囲第8項に記載の情報処理装置。

10. 前記情報処理装置は、さらに前記設定されたDMA転送用のア  
25 ドレス情報を更新する更新手段を有することを特徴とする請求の範囲第8項に記載の情報処理装置。

1 1. 前記更新手段は、前記アドレス情報を自動設定するための内部カウンタを有することを特徴とする請求の範囲第 1 0 項に記載の情報処理装置。

1 2. 前記アドレス情報は、1 ブロックのDMA転送が終了すると  
5 に前記内部カウンタがカウントアップされ1 ブロック分のアドレス情報が設定されることを特徴とする請求の範囲第 1 1 項に記載の情報処理装置。

1 3. 前記更新手段は、前記記憶手段により記憶された前記パケットのデータ量が、所定の容量に達した場合、前記DMA転送用のアドレス  
10 情報を更新することを特徴とする請求の範囲第 1 0 項に記載の情報処理装置。

1 4. 前記記憶手段は入力FIFOおよび出力FIFOから構成されることを特徴とする請求の範囲第 8 項に記載の情報処理装置。

1 5. 前記情報処理装置は、さらに前記設定されたDMA転送用のアドレス情報を更新する更新手段を有することを特徴とする請求の範囲  
15 第 1 4 項に記載の情報処理装置。

1 6. 前記更新手段は、前記入力FIFOにおいて記憶された前記パケットのデータ量が、所定の容量以上の場合、前記DMA転送用のアドレス情報を更新することを特徴とする請求の範囲第 1 5 項に記載の  
20 情報処理装置。

1 7. 前記更新手段は、前記出力FIFOにおいて記憶された前記パケットのデータ量が、所定の容量以下の場合、前記DMA転送用のアドレス情報を更新することを特徴とする請求の範囲第 1 5 項に記載の情報処理装置。

25 1 8. 前記記録装置は、前記情報処理装置に内蔵されたハードディスクドライブであることを特徴とする請求の範囲第 8 項に記載の情報処

理装置。

19. ハードディスクドライブを内蔵するデジタル放送受信装置において、

所定のフォーマットの packets で構成されるストリームを受信する  
5 受信手段と、

前記受信手段により受信された前記ストリームを構成する packets から、前記ハードディスクドライブに記録する packets を抽出する抽出手段と、

前記抽出手段により抽出された前記 packets を記憶する記憶手段と  
10 、

DMA 転送を指示するコマンドを生成するためのコマンドバッファと、

前記コマンドバッファにおいて生成された前記コマンドに従って、前記 packets を所定のデータ量のブロックとして、前記ハードディスク  
15 クドライブに対して DMA 転送する転送手段と  
を有することを特徴とするデジタル放送受信装置。

20. 前記 DMA 転送を指示するコマンドは、前記記憶手段により記憶された前記 packets のデータ量が、所定の容量に達した場合に生成されることを特徴とする請求の範囲第 19 項に記載のデジタル放送受信装置。  
20

21. 前記記憶手段は入力 FIFO および出力 FIFO から構成されることを特徴とする請求の範囲第 19 項に記載のデジタル放送受信装置。

22. 前記 DMA 転送を指示するコマンドは、前記入力 FIFO において記憶された前記 packets のデータ量が、所定の容量以上の場合に生成されることを特徴とする請求の範囲第 21 項に記載のデジタル放  
25

送受信装置。

23. 前記DMA転送を指示するコマンドは、前記出力FIFOにおいて記憶された前記パケットのデータ量が、所定の容量以下の場合に生成されることを特徴とする請求の範囲第21項に記載のデジタル放送受信装置。

24. 前記情報処理装置は、さらに直前のブロックが記録されている前記記録装置内のアドレス、現在のブロックが記録される前記記録装置内のアドレス、または、直後のブロックが記録される前記記録装置内のアドレスのうち、少なくとも1つを含むアドレス情報を、前記パケットに付加する付加手段を有することを特徴とする請求の範囲第19項に記載のデジタル放送受信装置。

25. 前記記録装置は、前記情報処理装置に内蔵されたハードディスクドライブであることを特徴とする請求の範囲第19項に記載のデジタル放送受信装置。

26. ハードディスクドライブを内蔵するデジタル放送受信装置において、

所定のフォーマットのパケットで構成されるストリームを受信する受信手段と、

前記受信手段により受信された前記ストリームを構成するパケットから、前記ハードディスクドライブに記録するパケットを抽出する抽出手段と、

前記抽出手段により抽出された前記パケットを記憶する記憶手段と

DMA転送用のアドレス情報を設定するためのコマンドバッファと

前記設定されたアドレス情報を前記記憶手段から読み出されたパケ

ットの所定データ量（ブロック）ごとに付加する付加手段と  
を有することを特徴とするデジタル放送受信装置。

27. 前記付加手段は、直前のブロックが記録されている前記記録装置内のアドレス、現在のブロックが記録される前記記録装置内のアドレス、または、直後のブロックが記録される前記記録装置内のアドレスのうち、少なくとも1つを含むアドレス情報を、前記ブロックに付加することを特徴とする請求の範囲第26項に記載のデジタル放送受信装置。

28. 前記デジタル放送受信装置は、さらに前記設定されたDMA転送用のアドレス情報を更新する更新手段を有することを特徴とする請求の範囲第26項に記載のデジタル放送受信装置。

29. 前記更新手段は、前記アドレス情報を自動設定するための内部カウンタを有することを特徴とする請求の範囲第28項に記載のデジタル放送受信装置。

30. 前記アドレス情報は、1ブロックのDMA転送が終了するごとに前記内部カウンタがカウントアップされ1ブロック分のアドレス情報が設定されることを特徴とする請求の範囲第29項に記載のデジタル放送受信装置。

31. 前記更新手段は、前記記憶手段により記憶された前記パケットのデータ量が、所定の容量に達した場合、前記DMA転送用のアドレス情報を更新することを特徴とする請求の範囲第28項に記載のデジタル放送受信装置。

32. 前記記憶手段は入力FIFOおよび出力FIFOから構成されることを特徴とする請求の範囲第26項に記載のデジタル放送受信装置。

33. 前記デジタル放送受信装置は、さらに前記設定されたDMA転



送用のアドレス情報を更新する更新手段を有することを特徴とする請求の範囲第 3 2 項に記載のデジタル放送受信装置。

- 3 4. 前記更新手段は、前記入力 F I F O において記憶された前記パケットのデータ量が、所定の容量以上の場合、前記 D M A 転送用のアドレス情報を更新することを特徴とする請求の範囲第 3 3 項に記載のデジタル放送受信装置。

- 3 5. 前記更新手段は、前記出力 F I F O において記憶された前記パケットのデータ量が、所定の容量以下の場合、前記 D M A 転送用のアドレス情報を更新することを特徴とする請求の範囲第 3 3 項に記載のデジタル放送受信装置。

- 3 6. 前記記録装置は、前記情報処理装置に内蔵されたハードディスクドライブであることを特徴とする請求の範囲第 2 6 項に記載のデジタル放送受信装置。

- 3 7. 所定のフォーマットの packets で構成されるストリームを受信する受信ステップと、

前記受信ステップにより受信された前記ストリームを構成するパケットから、記録装置に記録するパケットを抽出する抽出ステップと、

前記抽出手段により抽出された前記パケットを記憶する記憶ステップと、

- 20 コマンドバッファによって D M A 転送を指示するコマンドを生成する生成ステップと、

前記生成ステップにおいて生成された前記コマンドに従って、前記パケットを所定のデータ量のブロックとして、前記記録装置に対して D M A 転送する転送ステップと

- 25 を有することを特徴とする情報処理方法。

3 8. 所定のフォーマットの packets で構成されるストリームを受信

する受信ステップと、

前記受信ステップにより受信された前記ストリームを構成するパケットから、記録装置に記録するパケットを抽出する抽出ステップと、

前記抽出ステップにより抽出された前記パケットを記憶する記憶ステップと、

5 コマンドバッファによってDMA転送用のアドレス情報を設定する設定ステップと、

前記設定されたアドレス情報を前記記憶手段から読み出されたパケットの所定データ量（ブロック）ごとに付加する付加ステップと

10 を有することを特徴とする情報処理方法。

39. 所定のフォーマットのパケットで構成されるストリームを受信する受信ステップと、

前記受信ステップにより受信された前記ストリームを構成するパケットから、記録装置に記録するパケットを抽出する抽出ステップと、

15 前記抽出手段により抽出された前記パケットを記憶する記憶ステップと、

コマンドバッファによってDMA転送を指示するコマンドを生成する生成ステップと、

前記生成ステップにおいて生成された前記コマンドに従って、前記

20 パケットを所定のデータ量のブロックとして、前記記録装置に対してDMA転送する転送ステップと

を含むことを特徴とするコンピュータが読み取り可能なプログラムが記録されている記録媒体。

40. 所定のフォーマットのパケットで構成されるストリームを受信

25 する受信ステップと、

前記受信ステップにより受信された前記ストリームを構成するパケ

ットから、記録装置に記録するパケットを抽出する抽出ステップと、  
前記抽出ステップにより抽出された前記パケットを記憶する記憶ステップと、

コマンドバッファによってDMA転送用のアドレス情報を設定する

5 設定ステップと、

前記設定されたアドレス情報を前記記憶手段から読み出されたパケットの所定データ量（ブロック）ごとに付加する付加ステップと  
を含むことを特徴とするコンピュータが読み取り可能なプログラムが記録されている記録媒体。

## 補正書の請求の範囲

[2001年3月30日(30.03.01)国際事務局受理：出願当初の請求の範囲39及び40は取り下げられた；出願当初の請求の範囲24-38は補正された；他の請求の範囲は変更なし。(5頁)]

23. 前記DMA転送を指示するコマンドは、前記出力FIFOにおいて記憶された前記パケットのデータ量が、所定の容量以下の場合に生成されることを特徴とする請求の範囲第21項に記載のデジタル放送受信装置。

24. (補正後) 前記情報処理装置は、さらに直前のブロックが記録されている前記ハードディスクドライブ内のアドレス、現在のブロックが記録される前記ハードディスクドライブ内のアドレス、または、直後のブロックが記録される前記ハードディスクドライブ内のアドレスのうち、少なくとも1つを含むアドレス情報を、前記パケットに付加する付加手段を有することを特徴とする請求の範囲第19項に記載のデジタル放送受信装置。

25. (補正後) ハードディスクドライブを内蔵するデジタル放送受信装置において、  
15 所定のフォーマットのパケットで構成されるストリームを受信する受信手段と、

前記受信手段により受信された前記ストリームを構成するパケットから、前記ハードディスクドライブに記録するパケットを抽出する抽出手段と、

20 前記抽出手段により抽出された前記パケットを記憶する記憶手段と、

DMA転送用のアドレス情報を設定するためのコマンドバッファと、

前記設定されたアドレス情報を前記記憶手段から読み出されたパケットの所定データ量(ブロック)ごとに付加する付加手段と  
25 を有することを特徴とするデジタル放送受信装置。

26. (補正後) 前記付加手段は、直前のブロックが記録されている前記ハードディスクドライブ内のアドレス、現在のブロックが記録される前記ハードディスクドライブ内のアドレス、または、直後のブロックが記録される前記ハードディスクドライブ内のアドレスのうち、
- 5 少なくとも1つを含むアドレス情報を、前記ブロックに付加することを特徴とする請求の範囲第25項に記載のデジタル放送受信装置。
27. (補正後) 前記デジタル放送受信装置は、さらに前記設定されたDMA転送用のアドレス情報を更新する更新手段を有することを特徴とする請求の範囲第25項に記載のデジタル放送受信装置。
- 10 28. (補正後) 前記更新手段は、前記アドレス情報を自動設定するための内部カウンタを有することを特徴とする請求の範囲第27項に記載のデジタル放送受信装置。
29. (補正後) 前記アドレス情報は、1ブロックのDMA転送が終了するごとに前記内部カウンタがカウントアップされ1ブロック分の
- 15 アドレス情報が設定されることを特徴とする請求の範囲第28項に記載のデジタル放送受信装置。
30. (補正後) 前記更新手段は、前記記憶手段により記憶された前記パケットのデータ量が、所定の容量に達した場合、前記DMA転送用のアドレス情報を更新することを特徴とする請求の範囲第27項に
- 20 記載のデジタル放送受信装置。
31. (補正後) 前記記憶手段は入力FIFOおよび出力FIFOから構成されることを特徴とする請求の範囲第25項に記載のデジタル放送受信装置。
32. (補正後) 前記デジタル放送受信装置は、さらに前記設定されたDMA転送用のアドレス情報を更新する更新手段を有することを特
- 25 徴とする請求の範囲第31項に記載のデジタル放送受信装置。

33. (補正後) 前記更新手段は、前記入力FIFOにおいて記憶された前記パケットのデータ量が、所定の容量以上の場合、前記DMA転送用のアドレス情報を更新することを特徴とする請求の範囲第32項に記載のデジタル放送受信装置。

- 5 34. (補正後) 前記更新手段は、前記出力FIFOにおいて記憶された前記パケットのデータ量が、所定の容量以下の場合、前記DMA転送用のアドレス情報を更新することを特徴とする請求の範囲第32項に記載のデジタル放送受信装置。

35. (補正後) 所定のフォーマットのパケットで構成されるストリームを受信する受信ステップと、

前記受信ステップにより受信された前記ストリームを構成するパケットから、記録装置に記録するパケットを抽出する抽出ステップと、

前記抽出手段により抽出された前記パケットを記憶する記憶ステップと、

- 15 コマンドバッファによってDMA転送を指示するコマンドを生成する生成ステップと、

前記生成ステップにおいて生成された前記コマンドに従って、前記パケットを所定のデータ量のブロックとして、前記記録装置に対してDMA転送する転送ステップと

- 20 を有することを特徴とする情報処理方法。

36. (補正後) 所定のフォーマットのパケットで構成されるストリームを受信する受信ステップと、

前記受信ステップにより受信された前記ストリームを構成するパケットから、記録装置に記録するパケットを抽出する抽出ステップと、

- 25 前記抽出ステップにより抽出された前記パケットを記憶する記憶ステップと、

コマンドバッファによってDMA転送用のアドレス情報を設定する  
設定ステップと、

前記設定されたアドレス情報を前記記憶手段から読み出されたパケ  
ットの所定データ量（ブロック）ごとに付加する付加ステップと

5   を有することを特徴とする情報処理方法。

37. （補正後）所定のフォーマットの packets で構成されるストリ  
ームを受信する受信ステップと、

前記受信ステップにより受信された前記ストリームを構成するパケ  
ットから、記録装置に記録する packets を抽出する抽出ステップと、

10   前記抽出手段により抽出された前記 packets を記憶する記憶ステッ  
プと、

コマンドバッファによってDMA転送を指示するコマンドを生成す  
る生成ステップと、

前記生成ステップにおいて生成された前記コマンドに従って、前記  
15   packets を所定のデータ量のブロックとして、前記記録装置に対して  
DMA転送する転送ステップと

を含むことを特徴とするコンピュータが読み取り可能なプログラムが  
記録されている記録媒体。

38. （補正後）所定のフォーマットの packets で構成されるストリ  
ームを受信する受信ステップと、

前記受信ステップにより受信された前記ストリームを構成するパケ  
ットから、記録装置に記録する packets を抽出する抽出ステップと、

前記抽出ステップにより抽出された前記 packets を記憶する記憶ス  
テップと、

25   コマンドバッファによってDMA転送用のアドレス情報を設定する  
設定ステップと、

前記設定されたアドレス情報を前記記憶手段から読み出されたパケットの所定データ量（ブロック）ごとに付加する付加ステップとを含むことを特徴とするコンピュータが読み取り可能なプログラムが記録されている記録媒体。

5 39. (削除)

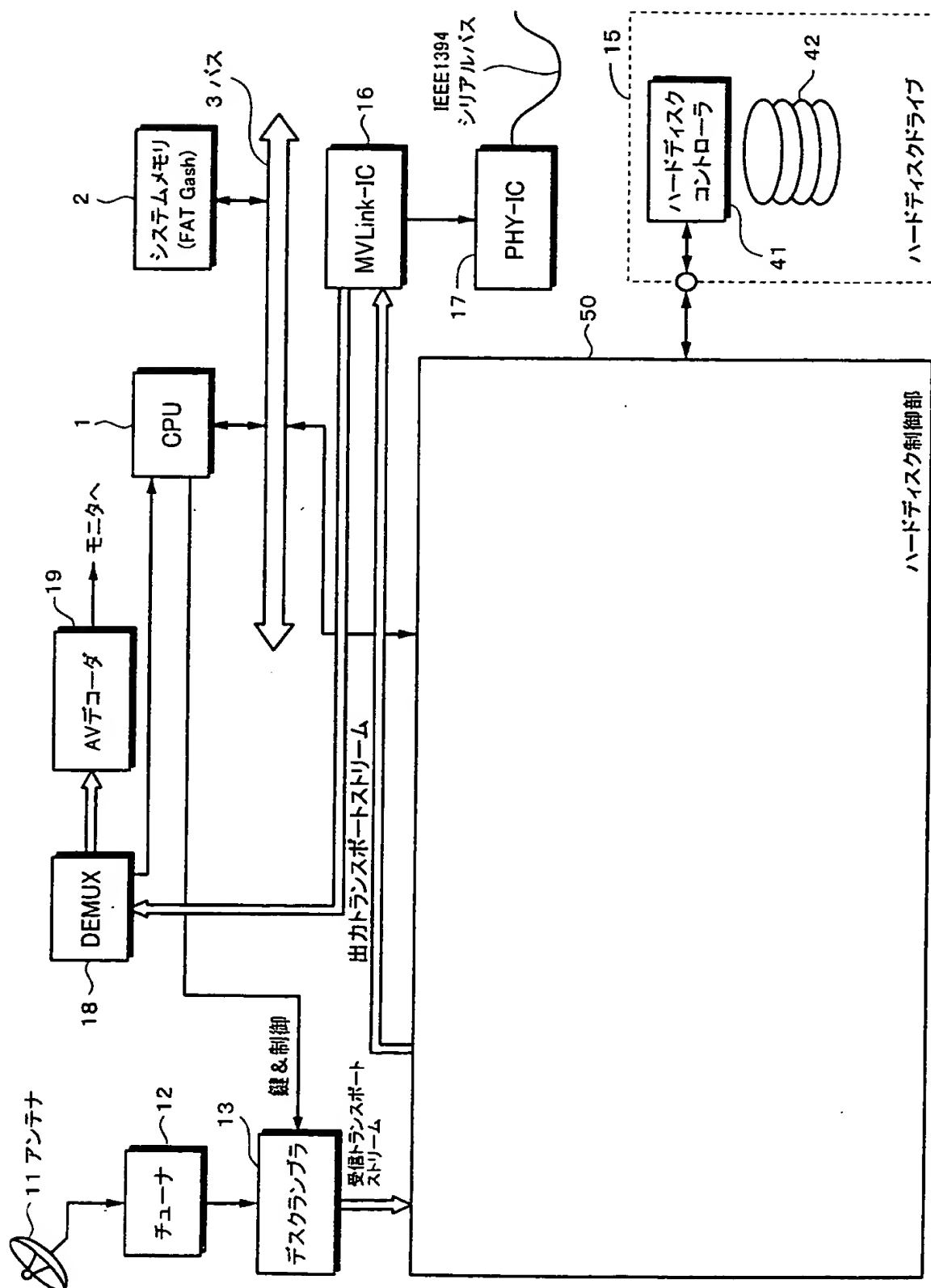
40. (削除)





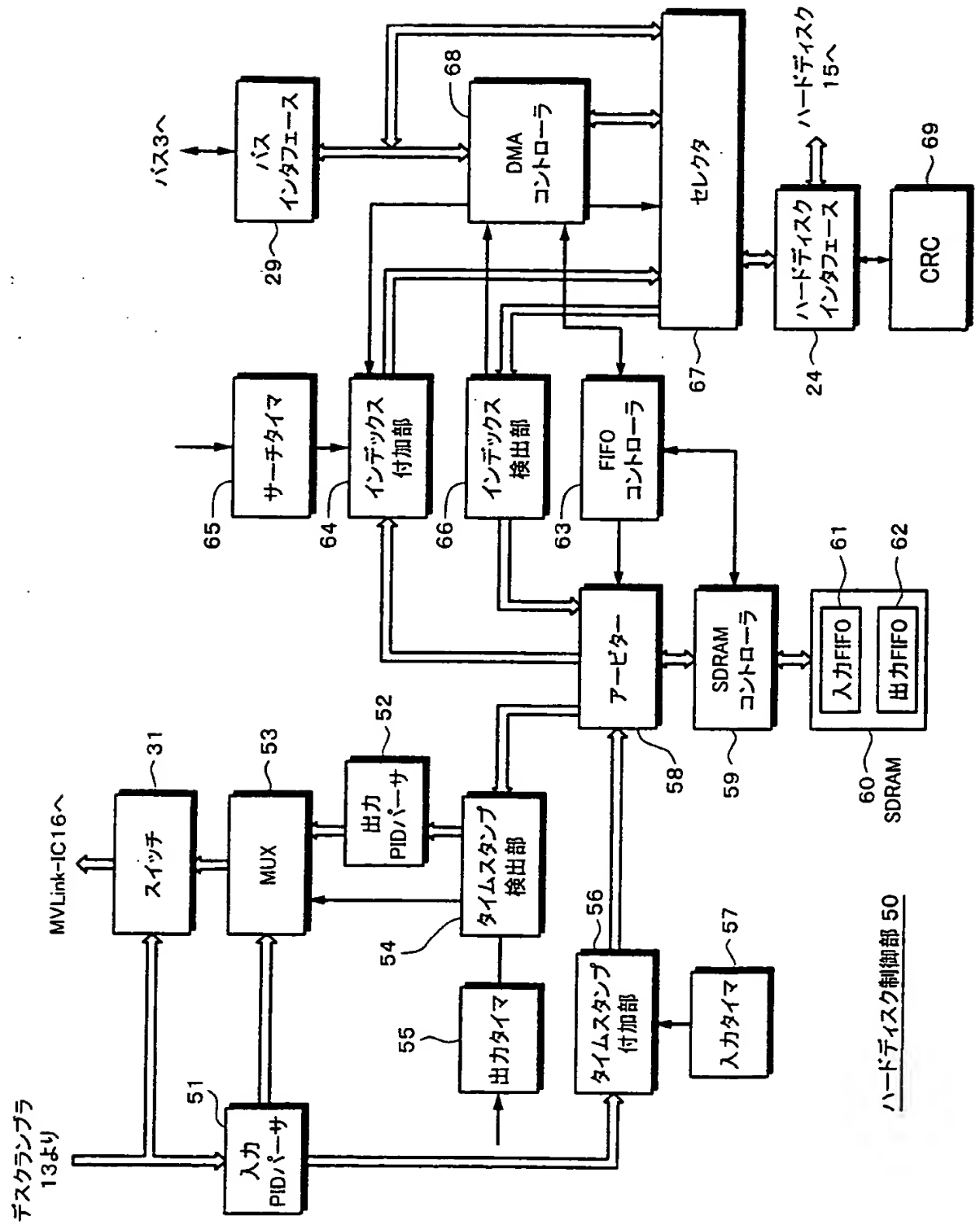
**THIS PAGE BLANK (USPTO)**

## 第2図



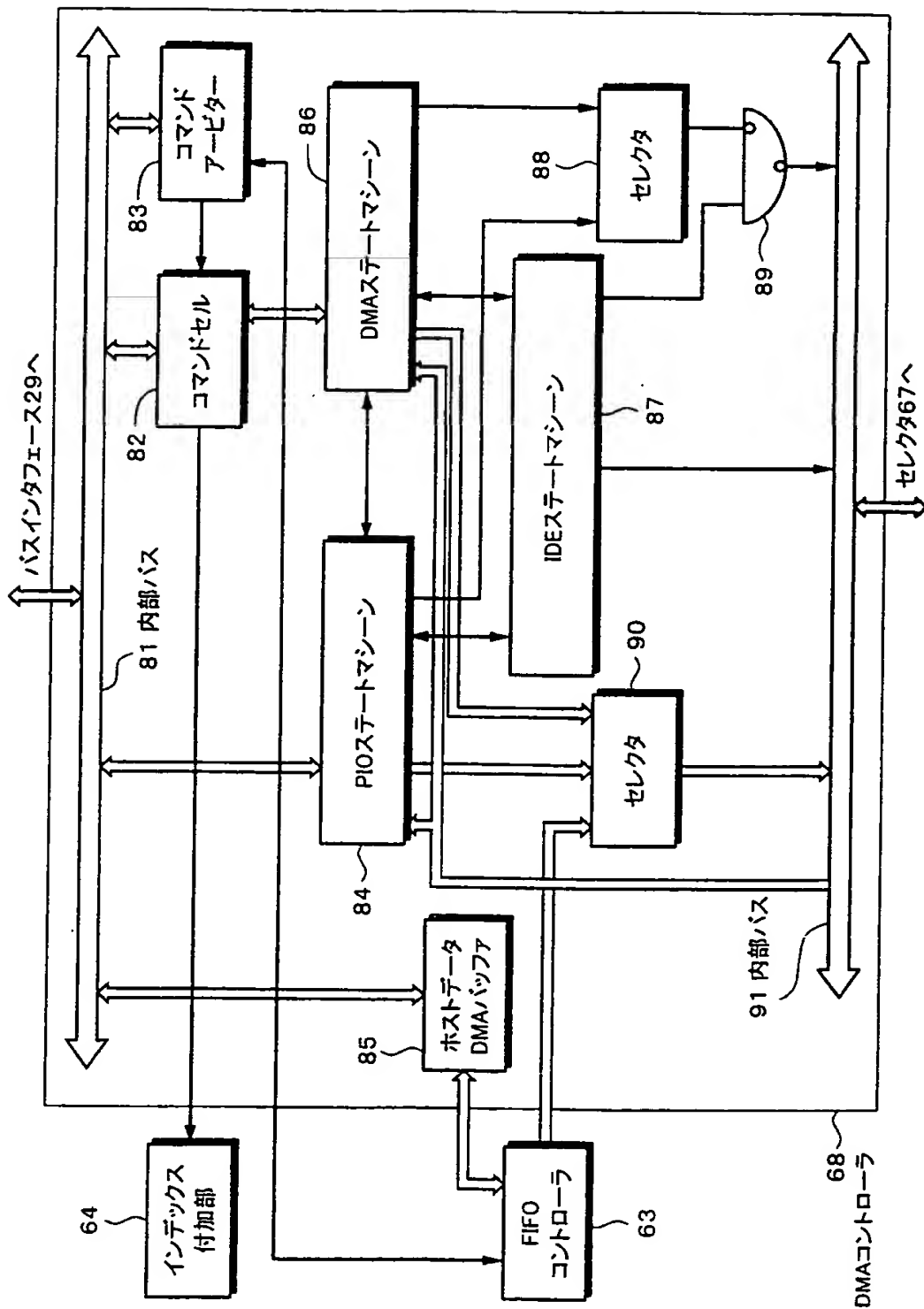
**THIS PAGE BLANK (USPTO)**

## 第3図



**THIS PAGE BLANK (USPTO)**

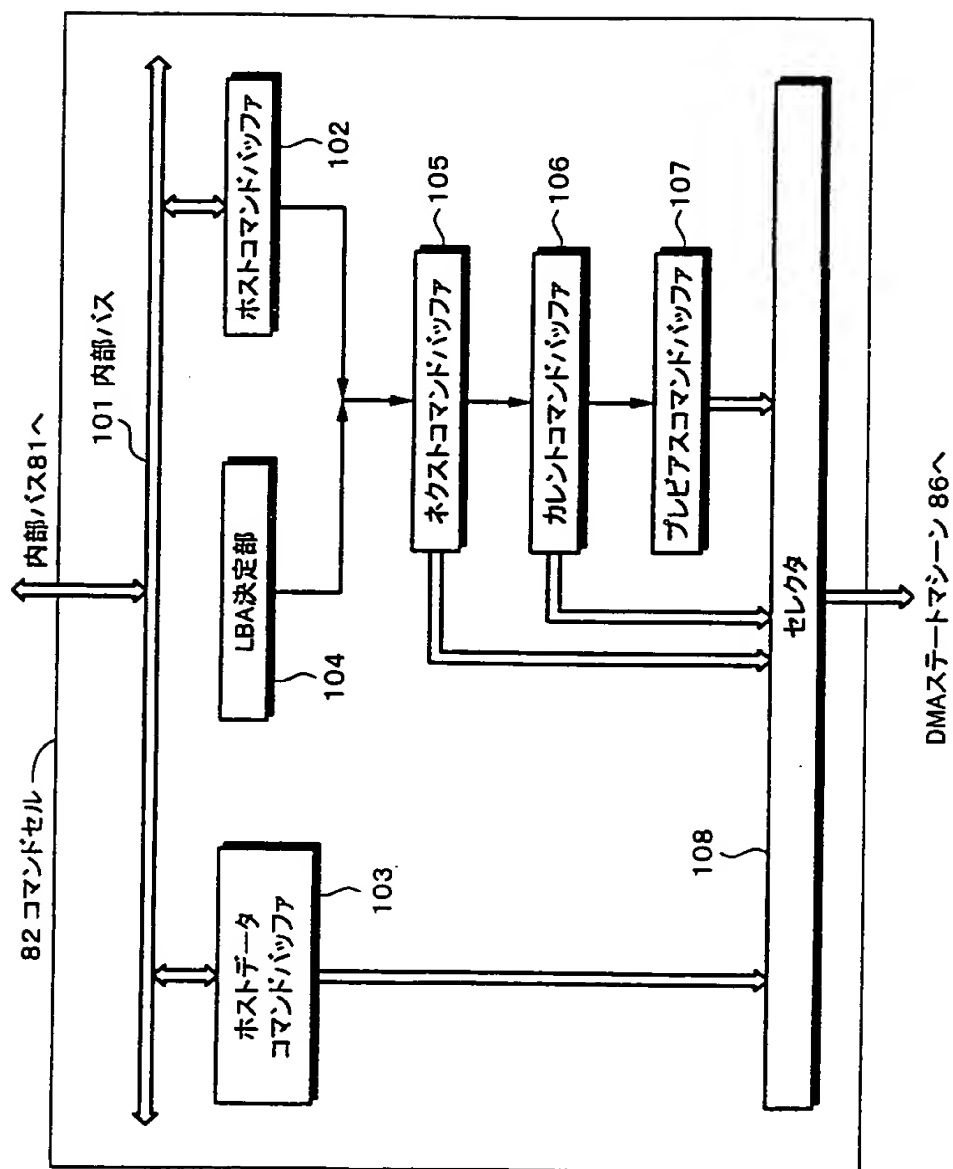
第4図



**THIS PAGE BLANK (USPTO)**

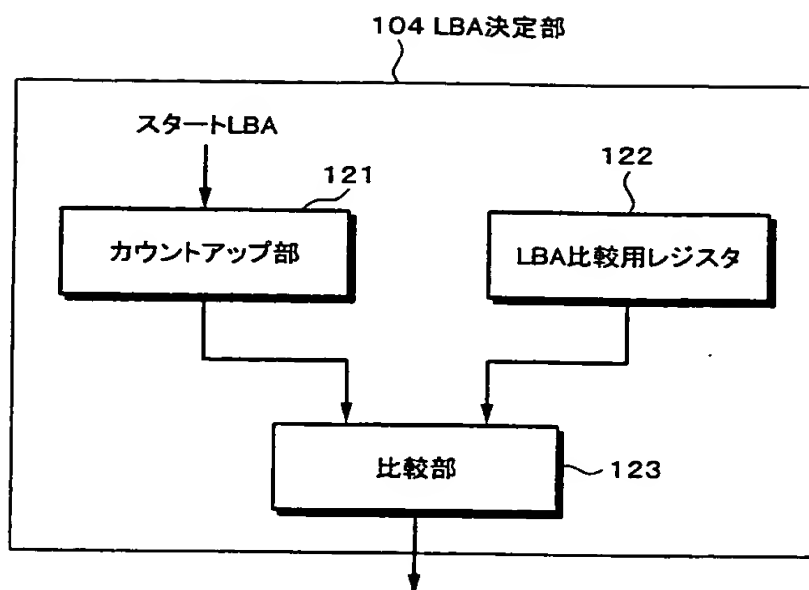


第5図

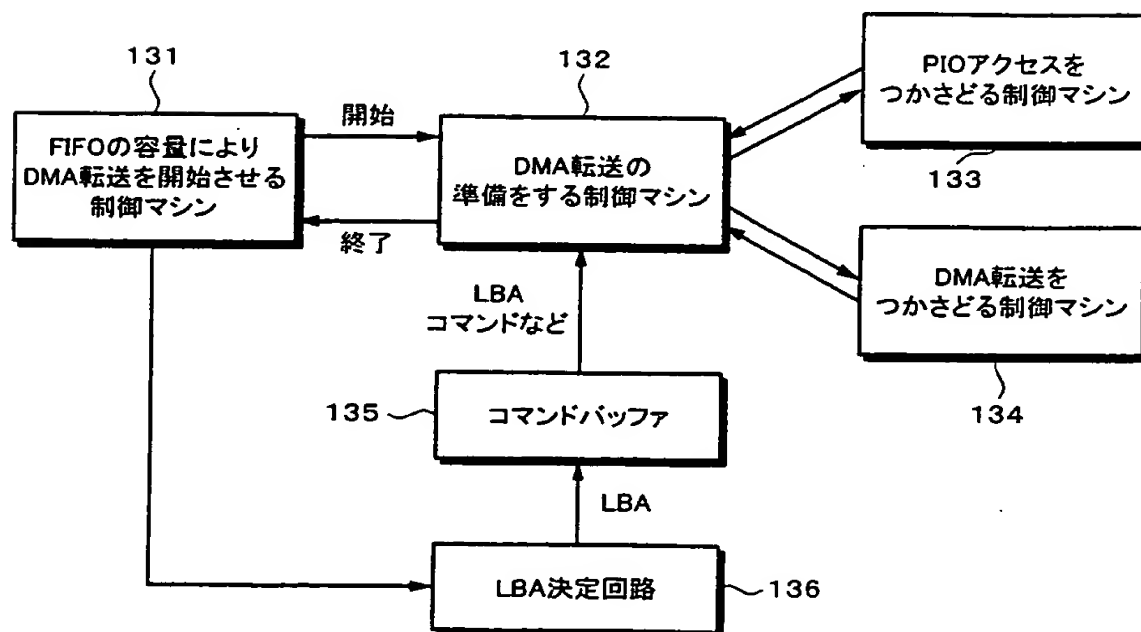


**THIS PAGE BLANK (USPTO)**

第6図

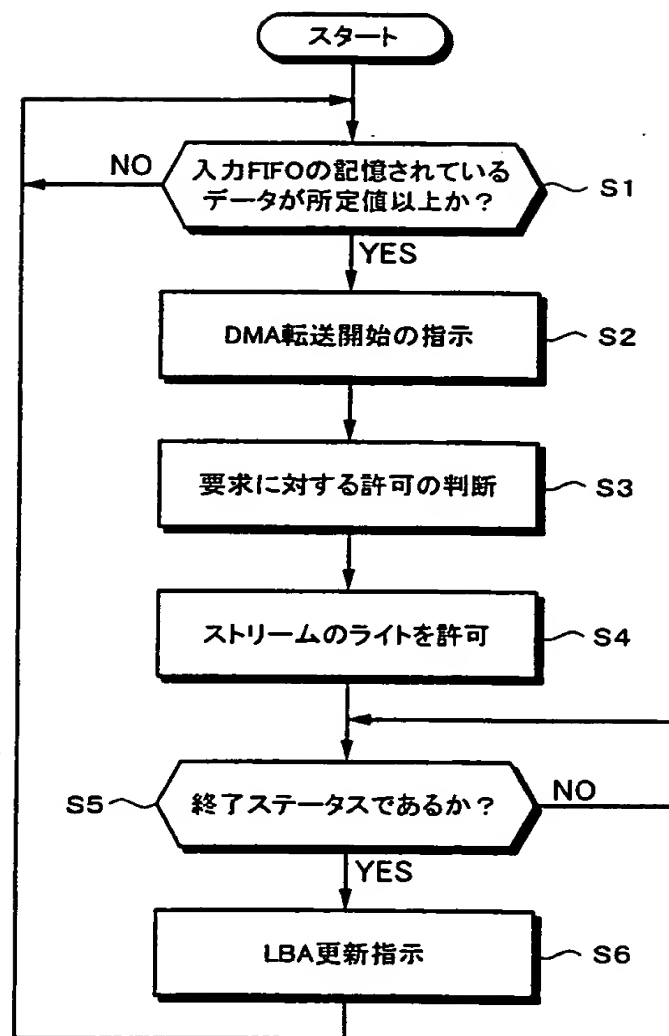


第7図



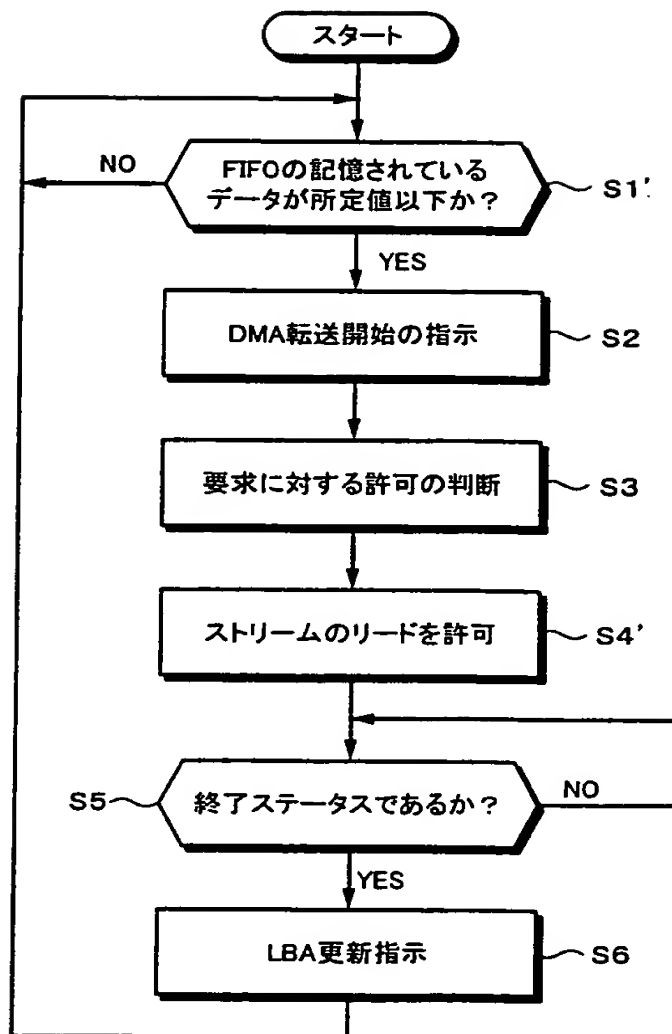
**THIS PAGE BLANK (USPTO)**

## 第 8 図



**THIS PAGE BLANK (USPTO)**

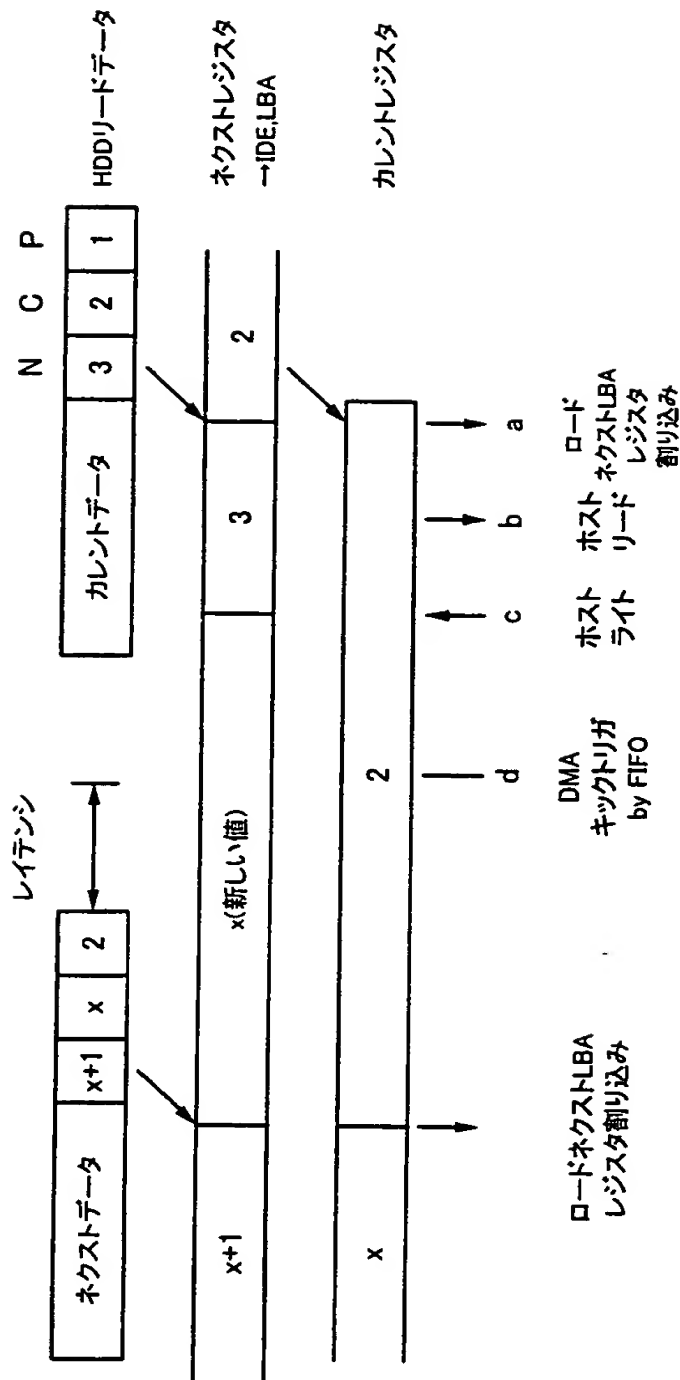
## 第9図



**THIS PAGE BLANK (USPTO)**



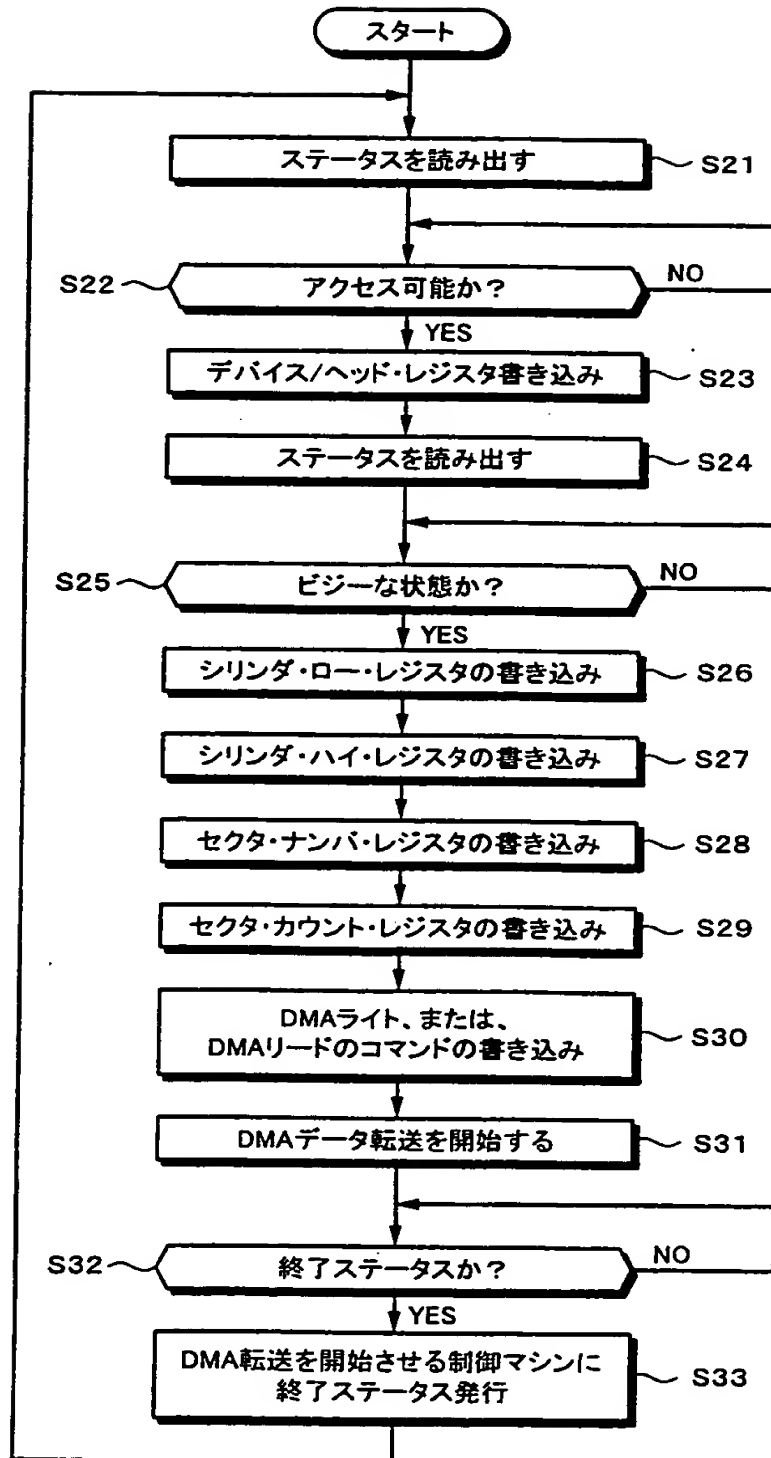
# 第10図



N: Next LBA Address  
C: Current LBA Address  
P: Previous LBA Address

**THIS PAGE BLANK (USPTO)**

## 第 1 1 図



**THIS PAGE BLANK (USPTO)**

第12図A

アドレス(注1)					レジスタ	
CS1-	CS0-	DA2	DA1	DA0	ライト	リード
コントロール・ブロック・レジスタ						
L	H	H	H	L	デバイス・コントロール	代替ステータス
L	H	H	H	H	使用しない	ドライブ・アドレス
コマンド・ブロック・レジスタ						
H	L	L	L	L	データ	エラー
H	L	L	L	H	フィーチャ	
H	L	L	H	L	セクタ・カウンタ	
H	L	L	H	H	セクタ・ナンバ	
H	L	H	L	L	シリンダ・ロー	
H	L	H	L	H	シリンダ・ハイ	
H	L	H	H	L	デバイス/ヘッド	
H	L	H	H	H	コマンド	ステータス

注1: CS0-, CS1-は負論理のため L=アサート、H=ネゲート

第12図B

b7	b6	b5	b4	b3	b2	b1	b0
予約	予約	予約	予約	予約	SRST	nEN	0

SRST: ソフトウェア・リセット  
nEN: 割り込み許可 (負論理)

第12図C

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
データ・バイト1 (16ビット・アクセス時)															
使用しない (8ビットアクセス時)															
データ・バイト0 (16ビット・アクセス時)															
データ・バイト (8ビットアクセス時)															

第12図D

b7	b6	b5	b4	b3	b2	b1	b0
セクタ番号 (CHSモード)							
LBAビット (LBAモード)							

**THIS PAGE BLANK (USPTO)**

第13図A

シリンダ・ハイ・レジスタ								シリンダ・ロー・レジスタ							
b7	b6	b5	b4	b3	b2	b1	b0	b7	b6	b5	b4	b3	b2	b1	b0
シリンダ番号(CHSモード)															
LBAビット(LBAモード)															

第13図B

b7	b6	b5	b4	b3	b2	b1	b0
予約	L	予約	DEV	ヘッド番号(CHSモード)			
				LBAビット(LBAモード)			

L : LBAモード選択  
DBA : デバイス・アドレス

第13図C

b7	b6	b5	b4	b3	b2	b1	b0
セクタ数							

第13図D

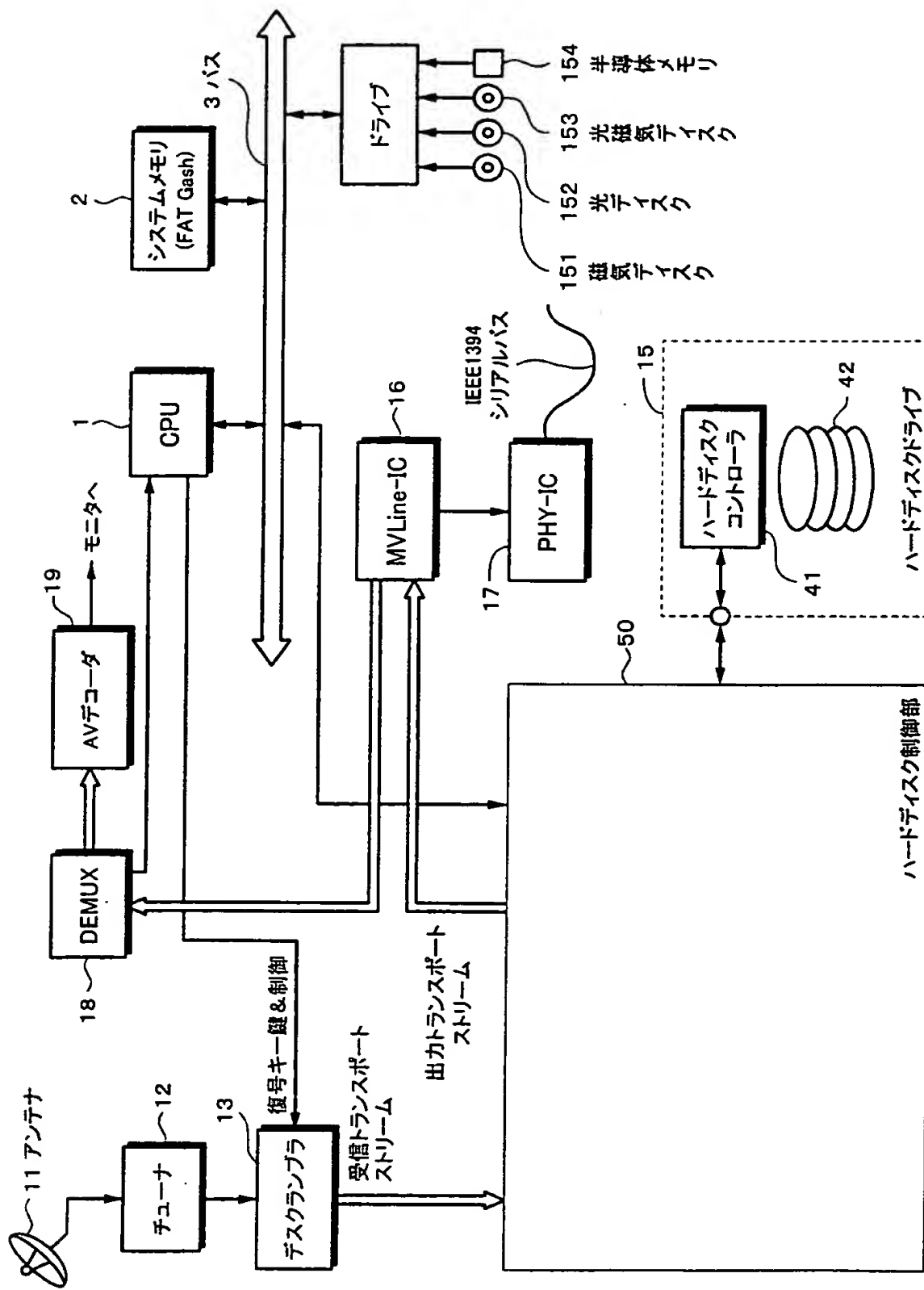
b7	b6	b5	b4	b3	b2	b1	b0
BSY	DRDY	DF	DSC	DRQ	CORR	IDX	ERR

BSY : ビジー(アクセス禁止)    DRQ : データ・リクエスト  
DRDY : デバイス・レディ    CORR : データ修正済み  
DF : デバイス・フォールト    IDX : インデックス検出  
DSC : デバイス・シーク・エラー    ERR : エラー発生

**THIS PAGE BLANK (USPTO)**



第14図



**THIS PAGE BLANK (USPTO)**

## 符号の説明

- 1 CPU
- 15 ハードディスクドライブ
- 58 アービター
- 61 入力FIFO
- 62 出力FIFO
- 68 DMAコントローラ
- 82 コマンドセル
- 104 LBA決定部
- 105 ネクストコマンドバッファ
- 106 カレントコマンドバッファ
- 107 プレビアスコマンドバッファ

**THIS PAGE BLANK (USPTO)**